

# Jedno rešenje razmene podataka u telekomunikacionim sistemima za masovnu digitalnu obradu podataka

Emil Neborovski, Dragan Đukarić, Srđan Radulović, Mihajlo Katona

**Sadržaj** — Rad opisuje jedno rešenje razmene podataka između elemenata obrade u sistemu za masovnu obradu podataka u različitim bežičnim i optičkim aplikacijama. Sistem je zasnovan na programabilnim sekvencijalnim mrežama. U radu su opisani ulazni i izlazni blokovi upotrebljene familije programabilne sekvencijalne mreže kao i njihova upotreba u prijemu i slanju brzih serijskih signala. U radu je opisano i rešenje razmene podataka za jedan realan ulaz.

**Ključne reči** — DDR, FPGA, FIFO, SDR

## I. UVOD

Savremene telekomunikacije karakteriše sve veće količine podataka koje treba na neki način prihvatiti, obraditi i proslediti na dalju obradu ili konačni izlaz. To je posebno naglašeno u bežičnim i optičkim komunikacijama gde se protok podataka meri u gigabitima u sekundi. Tipičan primer su aplikacije prema 40G i 100G mrežnom povezivanju. Ilustracije radi, u optičkim telekomunikacionim sistemima se teži prenosu informacija preko više različitih talasnih dužina kroz jedno vlakno, čime se višestruko uvećava protok podataka. Danas ne postoje digitalni signal procesori koji mogu obraditi ove količine podataka. Iz tog razloga stvara se potreba za razvojem posebnih namenskih sistema koji su u stanju primiti tok podataka brzine 40Gb/s ili 100Gb/s. Naravno, ove sirove podatke je iz prenosne linije potrebno digitalizovati i uz pomoć određenih algoritama digitalne obrade signala izdvojiti korisne informacije. Sa trenutnom komercijalno raspoloživom tehnologijom to se može realizovati samo uz pomoć paralelizma, kako bi se obrada ravnomerno raspodelila na više elemenata obrade i samim tim usporila na brzinu koju je moguće postići sa dostupnim integrisanim kolima. Veoma važan aspekt ovakvog pristupa je raspodela podataka između elemenata obrade i njihova međusobna komunikacija, što je tema ovog rada.

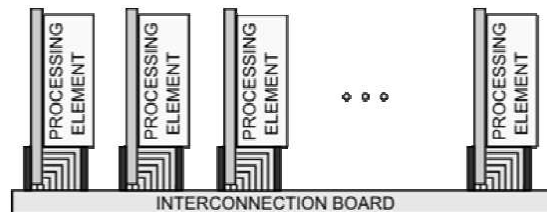
Programabilne sekvencijalne mreže (Field Programable Gate Array - FPGA) su zastupljene u ovakvim sistemima zbog svoje velike fleksibilnosti, mogućnosti prijema i

predaje brzih serijskih signala, posedovanja posebnih ćelija za digitalnu obradu signala i sve veće količine memorije koja se nalazi unutar integrisanog kola.

U radu je opisano jedno rešenje razmene podataka u sistemu za masovnu obradu podataka. Sistem je zasnovan na programabilnim sekvencijalnim mrežama is familije Virtex 5[1] proizvođača Xilinx, koje se koriste za razmenu kao i samu digitalnu obradu podataka. U radu je opisan ulazno-izlazni blok ove familije kola i jedan način korišćenja ovih blokova u brznoj serijskoj komunikaciji za 100G aplikacije. Na kraju je dat detaljan opis rešenja raspodele podataka između elemenata obrade, prikupljanja raspodeljenih podataka i njihova priprema za dalju obradu. Algoritam obrade podataka za njihovu rekonstrukciju nije predmet ovog rada.

## II. OPIS SISTEMA

Sistem se sastoji od 16 FPGA[2] integrisanih kola. Svako kolo se nalazi na jednoj ploči koja se postavlja u konektore na zajedničkoj ploči za povezivanje[3][4]. Ploča sa FPGA kolom i pratećim aktivnim i pasivnim komponentama pretstavlja jedan element obrade. Ploča za povezivanje obezbeđuje razmenu podataka između bilo koja dva elementa obrade. Zbog ograničenja koje unosi broj nožica jednog FPGA integrisanog kola, između dva FPGA kola postoji 10 diferencijalnih parica za razmenu podataka. Za prijem podatka od spoljnog izvora rezervisano je 128 diferencijalnih ulaza u FPGA kolo. Slika 1 prikazuje izgled ovog sistema.



Slika 1 Ilustracija sistema za masovnu obradu

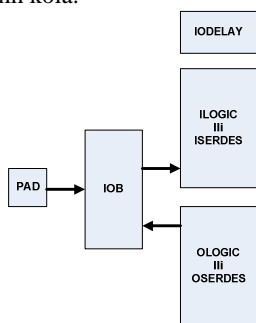
Sva komunikacija se obavlja pomoću diferencijalnih signala koji se menjaju na obe ivice signala takta (dvostruki takt podataka – Double Data Rate - DDR) i sva komunikacija u sistemu je asinhrona odnosno signal takta se ne prenosi sa podacima. S obzirom na ovo, slanje i prijem podataka, bez obrira da li spoljnih ili od drugih elemenata obrade, obavlja se po istom principu zasnovanom na korišćenju ulazno-izlaznih resursa FPGA integrisanog kola.

Ovaj rad je delom finansiran od Ministarstva za nauku i tehnoloski razvoj Republike Srbije, projekat 11005 od 2008. godine.

Emil Neborovski, Dragan Đukarić, Srđan Radulović, Mihajlo Katona Fakultet tehničkih nauka u Novom Sadu, Srbija, odsek za računarsku tehniku i međuračunarske komunikacije, Trg Dositeja Obradovića 6 Novi Sad (e-mail: [Emil.Neborovski@rt-rk.com](mailto:Emil.Neborovski@rt-rk.com), [Dragan.Djukaric@rt-rk.com](mailto:Dragan.Djukaric@rt-rk.com), [Srdjan.Radulovic@rt-rk.com](mailto:Srdjan.Radulovic@rt-rk.com), [Mihajlo.Katona@rt-rk.com](mailto:Mihajlo.Katona@rt-rk.com) )

### III. ULAZNO-IZLAZNI RESURSI FPGA VIRTEX5 FAMILIJE

Slika 2 predstavlja ulazno-izlazni blok u Virtex5 familiji FPGA integrisanih kola.



**Slika 2 Ulazno – izlazni blok**

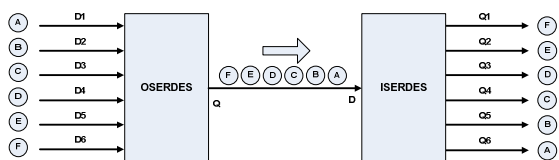
IOB(Input-Output Block) blok poseduje ulazne, izlazne i ulazno-izlazne portove. U slučaju diferencijalnih signala, dva IOB bloka se grupišu u jedan.

ILOGIC (Input Logic) i OLOGIC (Output Logic) čelije sadrže kombinacione putanje, koje se automatski koriste u slučaju direktne veze između ulaza (izlaz) i logike unutar FPGA kola. Takođe poseduje i flip-flopove koji se mogu uključiti ili isključiti pomoću direktiva koje se prosleđuju alatu za sintezu. Ovim se mogu prevazići potencijalni problemi da se zadovolje vremenska ograničenja koja postavlja sistem. Poseduje i namenske flip-flopove za prijem odnosno generisanje DDR podataka.

ISERDES (Input SERializatorin DESerialization) modul – namenski ulazni serijsko-paralelni pretvarač. Svojom strukturom obezbeđuje postizanje veće brzine nego da se ovakav jedan pretvarač realizuje pomoću programabilne logike unutar FPGA kola. Zbog toga se koristi u aplikacijama za brzu serijsku komunikaciju. Podržava rad sa signalima koji se menjaju na jednoj (jednostruki tok podataka – Single Data Rate - SDR) i obe ivice takta. Izlaz može biti širok i do 10 bita u slučaju DDR ulaznih signala. Poseduje i module kojima se može realizovati operacija pomeranja redosleda bita u paralelnom izlazu (Bit Slip).

OSERDES (Output SERializatorin DESerialization) modul – namenski izlazni paralelno-serijski pretvarač. Koristi se u brzim serijskim aplikacijama iz istih razloga kao i ISERDES modul. Kao i ISERDES modul, podržava i SDR i DDR izlaz, a ulazni podaci mogu biti široki i do 10 bita.

Slika 3 prikazuje u kom redosledu se šalju biti kada je širina podataka 6 bita, kako se tih 6 bita povezuje na OSERDES modul i koji je redosled na izlazu ISERDES modula.



**Slika 3 Redosled bita u slučaju širine podataka 6 bita**

IODELAY (Input-Output delay) modul – predstavlja namenski ulazno-izlazni element za kašnjenje sa 64 koraka kašnjenja. Može se povezati na ILOGIC/ISERDES, OLOGIC/ISERDES module ili programabilne čelije. Širina koraka kašnjenja je definisana referentnim taktom koji se dovodi na IDELAYCTRL modul, koji mora biti u

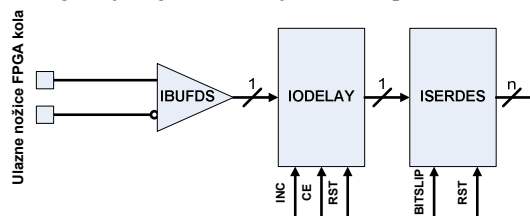
projektu ukoliko se koriste IODELAY moduli. Veličina koraka se može izračunati na osnovu jednačine (1).

$$t_{tap\_size} = \frac{t_{ref\_clk}}{64} \quad (1)$$

Kašnjenje može biti konstantno i promenljivo. U slučaju fiksnog kašnjenja, broj koraka kašnjenja se zadaje preko parametra ovog modula i kašnjenje izlaza u odnosu na ulaz je uvek isto. Pošto je komunikacija između elemenata obrade u sistemu asinhrona, odnosno signal takta se ne prenosi sa podacima, podešavanje IODELAY modula je neophodno na prijemnoj strani da bi prenos podataka bio uspešan.

### IV. PRIJEM BRZIH SERIJSKIH PODATAKA

Bez obzira na vrstu izvora brzih serijskih podataka, za prijem se može primeniti ista šema. Slika 4 prikazuje šemu prijema podataka za jedan diferencijalni ulaz. Signal prvo prolazi kroz IOB blok, odnosno IBUFDS primitivu unutar njega. Zatim prolazi kroz IODELAY modul gde se podešava kašnjenje signala. Na kraju signal prolazi kroz ISERDES modul i na njegovom izlazu se dobijaju paralelizovani ulazni podaci, na taktu koji je znatno sporiji od brzog serijskog takta sa kojim dolaze podaci.



**Slika 4 Šema prijemnika za jedan diferencijalni ulaz**

IODELAY modul je neophodan da bi se podaci poravnali na nivou bita. Ovo je neophodno jer će nekad ivica takta na prijemnoj strani kojim se odabira signal biti na početku otvora oka, nekad na sredini, a nekad i na kraju. Ova osetljivost nije dobra i najbolje je obezbediti da se ivica takta nađe na sredini otvora oka. Takođe se ovim postiže da odabiranje bude u trenutku kada je podatak stabilan. Ovo se može postići tako što se podešavanjem kašnjenja traži promena podatka na izlazu iz ISERDES modula, prva promena označava početak oka, a druga kraj. Nakon toga kašnjenje se vrati na sredinu oka.

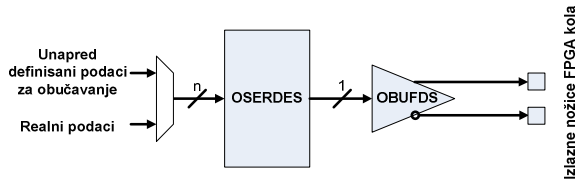
U svakom koraku se korak kašnjenja može povećavati ili smanjivati. IODELAY modul se može upravljati unutar FPGA, pomoću automata sa konačnim brojem stanja ili spolja pomoću namenske programske podrške. U drugom slučaju treba obezbediti spregu između FPGA i programske podrške. Jedna mogućnost je I2C sprežni sistem.

Nakon što je podešavanje na nivou bita završeno, treba obezbediti i poravnanje na nivou reči. Reč predstavlja paralelni izlaz iz ISERDES modula. Poravnanje se postiže pomoću BITS/SLIP ulaza ISERDES modula. Biti se pomeraju sve dok se ne dobiju unapred definisni podaci na izlazu iz ISERDES modula.

Da bi cela ova procedura bila moguća predajna strana mora da šalje unapred definisane podatka sve dok se ova procedura ne završi za svaki diferencijalni ulaz u sistem. Tek nakon toga se mogu slati realni podaci.

## V. GENERISANJE BRZIH SERIJSKI PODATAKA

Za razmenu podataka između elemenata obrade treba obezbediti generisanja brzih serijskih podataka. Slika 5 prikazuje šemu generisanja serijskih podataka za jedan diferencijalni izlaz. Podaci se pretvaraju u serijski tok kroz OSERDES modul, a posle toga serijski podaci prođu kroz OBUFDS ćeliju u IOB bloku i na izlazu se dobijaju diferencijalni serijski podaci.



Slika 5 Šema gerisanja serijskih podataka za jedan diferencijalni izlaz

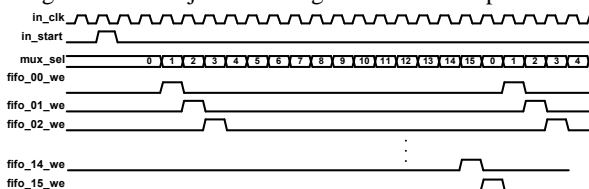
Pre slanja realnih podataka, predajna strana treba da šalje unapred definisane podatke da bi se na prijemnoj strani završilo ranije opisano podešavanje. Izbor između unapred definisanih i realnih podataka se može realizovati interno pomoću vremenskih brojača ili spolja pomoću namenske programske podrške. U prvom slučaju treba utvrditi maksimalno vreme za podešavanje jednog serijskog diferencijalnog ulaza i prema tome realizovati vremenske brojače. U drugom slučaju, programska podrška treba da sačeka da se podešavanje završi za sve serijske ulaze i tek onda daпусти realne podatke.

## VI. PRIMER ARHITEKTURE ZA JEDAN REALAN ULAZ

Upotreba opisanih blokova data je na primeru aplikacije, realizovane na sistemu opisanom u poglavlju II. Ulaz u sistem predstavlja signal brzine 40Gb/s. Signal se pre ulaza u sistem multipleksira i na ulasku u svako FPGA kolo dolazi 16 8-bitnih odbiraka na brzini od 625Mb/s (frekvencija signala takta 312.5MHz). Da bi se obezbedilo da svaki od elemenata obrade radi nad neprekinutim delom ulaznog toka podataka, potrebno je realizovati razmenu podataka između elemenata obrade.

### A. Ulazni stepen

Ulazni tok se pretvara u paralelni u odnosu 1 prema 6, čime se ulazni signal takta spušta na 104.667MHz(9.6ns). Nakon pretvaranja u paralelni tok prelazi se na 6-bitnu predstavu odbiraka i odbacuje se polovina odbiraka. Time je veličina segmenta, koji treba da se prenese ka jednom od ostalih elemenata obrade, 288 bita(48 6-bitnih odbiraka). Podaci se dalje demultipleksiraju ka svakom od elemenata obrade, odnosno izlaznim modulima. Na ulazu u ovaj modul se nalazi FIFO struktura, pa se dozvoljava upisa u svakom taktu dodeljuje drugoj FIFO strukturi. Ovim je izbegnuto korišćenje 288-bitnog 1 na 16 demultipleksera.

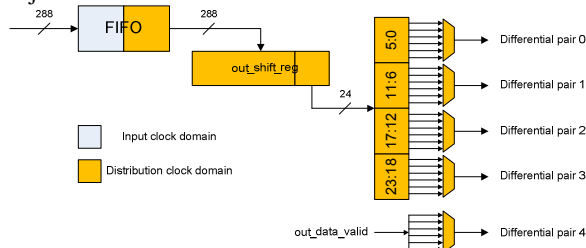


Slika 6 Dijagram demultipleksiranja signala dozvole upisa

Slika 6 prikazuje dijagram demultipleksiranja signala dozvole ka FIFO strukturama. Signal *in\_start* predstavlja trenutak kada sistem kreće da raspodeljuje podatke. Signal se može generisati interno pomoću brojača ili pomoću nameske programske podrške. U oba slučaja, sekvenca podešavanja svih diferencijalnih signala treba da se završi pre nego što se generiše *in\_start* signal.

### B. Raspodela podataka

Slika 7 predstavlja izlazni blok za raspodelu podataka ka jednom elementu obrade.



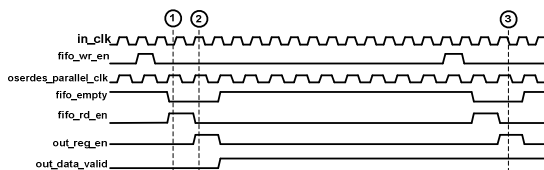
Slika 7 Blok za raspodelu podataka

FIFO struktura (zasnovane na blok RAM ćelijama) na ulazu služi za privremeno čuvanje podataka i razdvajanje domena ulaznog takta i domena takta za raspodelu podataka. Pomerački registar služi da se nakon jednog čitanja iz FIFO strukture sačuva segment podataka. Za prenos podataka ka jednom elementu obrade koriste se pet diferencijalnih parica, od kojih četiri za podatke, a jedna za prenos signala koji govori da li su podaci validni ili ne. U rešenju se koristi pretvaranje u serijski tok podataka u odnosu 6 prema 1, što znači da se u jednom ciklusu takta može preneti 24 bita podataka i za jedan segment od 288 bita je potrebno 12 ciklusa takta. Između dva čitanja se podaci pomeraju za 24 bita u desno, a donjih 24 bita predstavljaju sledeću reč koja će biti prenesena preko ploče za povezivanje. Period upisa u FIFO strukturu je 16 ciklusa ulaznog takta. Na osnovu ovoga i jednačina (2) i (3) se dobija minimalna frekvencija paralelnog takta za raspodelu. Minimalna frekvencija paralelnog takta je 78.125MHz, serijski će biti tri puta brži odnosno 234.375MHz. Ukupan protok za jednu diferencijalnu paricu će biti 468.75Mbps.

$$t_{dist} = 16 * t_{ulaz} = 153.6ns \quad (2)$$

$$t_{dist\_paralel} = t_{dist} / 12 = 12.8ns \quad (3)$$

Slika 8 predstavlja vremenski dijagram upisa i čitanja podataka u FIFO strukturu, signala dozvole pomeračkom registru i signala koji označava da li su podaci koji se prenose validni ili ne.



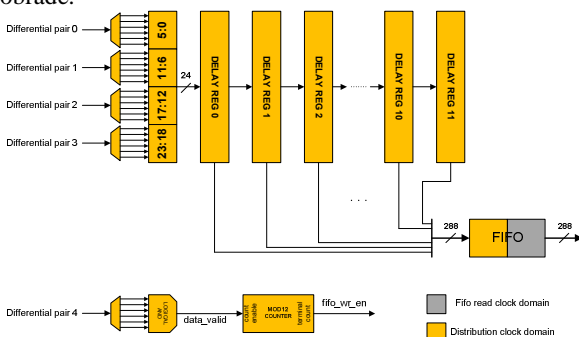
Slika 8 Vremenski dijagram signala bloka za distribuciju

U trenutku 1 se čita jedan segment podataka iz FIFO strukture. Trenutak čitanja se dešava nakon što *fifo\_empty* signal padne na 0. Ovaj signal predstavlja statusni signal

FIFO strukture, koji govori da li je struktura prazna ili ne. Nakon što se segment pročita, *fifo\_empty* opet postaje jedan, a segment se upisuje u pomerački registar (trenutak 2). Do narednog upisa u pomerački registar (trenutak 3), podaci u registru se pomeraju za 24 bita u desno i donjih 24 bita se šalje ka elementu obrade. Pošto je frekvencija takta za raspodelu izabrana tako da je period između dva upisa segmenta u FIFO strukturu i period za koji se segment pošalje isti, signal *data\_valid* je nakon prvog prenosa uvek jedan. Ukoliko se želi brži prenos, treba uvesti brojač koji će kontrolisati pomeranje u registru kao i kada su podaci koji se šalju validni.

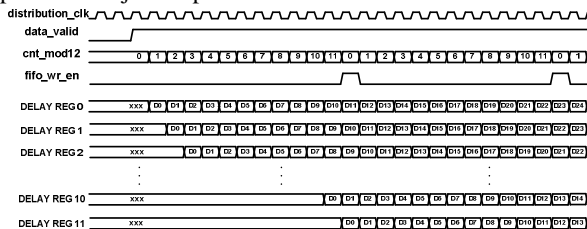
### C. Združivanje podataka

Združivanje ima zadatak da prikupi podatke od svih elemenata obrade i spremi ih za dalju obradu. Slika 9 prikazuje blok za združivanje podataka jednog elementa obrade.



Slika 9 Blok za združivanje podataka

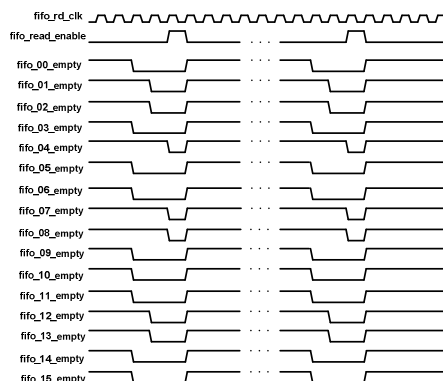
Segment dužine 288 bita stiže u 12 ciklusa takta u delovima od po 24 bita. Ovi podaci prolaze kroz lanac od 12 24-bitnih registara za kašnjenje. Signal koji govori da li su podaci validni ili ne služi kao dozvola brojanja za brojač po modulu 12. Nakon 12 ciklusa takta, svi delovi jednog segmenta se nalaze u lancu za kašnjenje. Kraj ciklusa brojača generiše signal dozvole upisa u FIFO memoriju čiji ulaz formiraju izlazi svih registara u lancu. Slika 10 prikazuje vremenski dijagram prikupljanja podataka i njihov upis u FIFO strukturu.



Slika 10 Vremenski dijagram prikupljanja podataka i njihov upis u FIFO memoriju

Podaci iz FIFO strukture se čitaju kada u svakoj ima bar jedan upisan segment podataka. Pošto je kašnjenje različito između različitih elemenata obrade, podaci u FIFO strukturi će biti upisani u različitim trenucima. Nakon što se i u poslednju FIFO strukturu upiše segment, iz svih FIFO struktura se pročitaju podaci. Razlika u međusobnim kašnjenjima nije veća od dva takta, što je obebeđeno približno jednakim vodovima na ploči za povezivanje, pa će nakon čitanja jednog segmenta FIFO strukture biti prazne. Slika 11 predstavlja vremenski dijagram čitanja podataka iz FIFO strukture. Pročitani podaci predstavljaju

jedan segment podataka koji ulazi u blok za obradu podataka. Minimalna frekvencija čitanja je ista kao i frekvencija ulaznog takta odnosno 104.667MHz, jer se raspodela i združivanje mogu posmatrati kao dva modula u ogledalu.



Slika 11 Vremenski dijagram čitanja podataka iz FIFO strukture

## VII. ZAKLJUČAK

Rad opisuje rešenje razmene podataka u sistemu za masovnu obradu podataka. Rešenje je realizovano pomoću Verilog[5] jezika za opis fizičke arhitekture. Funkcionalna verifikacija[6] rađena je u ModelSim simulatoru.

Dalji pravac razvoja jeste upotreba multigigabitnih serijskih primopredajnika koje ova familija kola poseduje u razmeni podataka između elemenata obrade. Ovi multigigabitni primopredajnici imaju mogućnost serijske komunikacije na brzini do 3.75 Gb/s. Dalji pravac razmišljanja je i efikasnija upotreba memorijskih resursa. Trenutno se u FIFO strukturama u jednom trenutku nalazi jedna ili nijedna reč. S obzirom da je maksimalna širina podataka blok RAM ćelije 72 bita, za jedan segment od 288 bita je potrebno 4 ovakve ćelije. Ako se uzme u obzir da jedna ovakva ćelija ima 512 lokacija za pisanje onda je trošenje memorije jako neefikasno.

## LITERATURA

- [1] Virtex 5 User Guide version 5, June 19.2009
- [2] S.Kilts : *Advanced FPGA design*, John Wiley & Sons, June 2007
- [3] Danko Mičinović, Ivan Rešetar, Miljan Čubrilo, Mihajlo Katona : *Advanced hardware architecture for massive real-time DSP processing*, 2009 First IEEE Eastern European Conference on the Engineering of Computer Based Systems , Novi Sad, pp 49-55
- [4] Miljan Čubrilo, Mihajlo Katona : *Jedno rešenje za bečpanel sa protokom podataka 1.5TB/s*, Proc. 53rd ETRAN Conference, Vrnjačka banja, June 2009, RT2-2 1-4
- [5] Donald E.Thomas, Philip R. Moorby : *The Verilog Hardware Description Language*, Springer, June 2002
- [6] Janick Bergeron : *Writing Testbenches : Functional Verification Of HDL Models, Second Edition*, 2003
- [7] Xilinx Application Note 860, July 2008

## ABSTRACT

This paper describes the use of Virtex 5 FPGA family resources in high speed serial data exchange. In the paper is also described the system that can be used in different applications for optical and wireless networking.

### One solution of data exchange for massive DSP processing

Emil Neborovski, Dragan Đukarić, Srđan Radulović, Mihajlo Katona