

# Jedno rešenje fizičke arhitekture sprega velikih protoka podataka u savremenim telekomunikacionim sistemima

Danko Miočinović, Ivan Rešetar, Miljan Čubrilo, Dr Mihajlo Katona

**Sadržaj** — Rad predstavlja opis fizičke realizacije brze sprege među procesorskim modulima u telekomunikacionom sistemu sa aspekta integriteta signala i metoda projektovanja sistema velikih brzina. Prikazani su potrebni koraci simulacija koji za rezultat daju brzu i sigurnu realizaciju kritičnih delova sistema.

**Ključne reči** — integritet signala, preslušavanja signala

## I. UVOD

**S**AVREMENI računarski i komunikacioni sistemi i mreže se odlikuju drastičnim povećanjem protoka podataka u skladu sa rastućim zahtevima korisnika za bržim radom i složenijim obradama podataka. Takođe, opšte je prisutan trend integracije mreža i usluga iz optičkih i bežičnih domena. Sa aspekta programske podrške se zahtevaju poboljšana rešenja u vidu sofisticiranih algoritama za obradu signala, dok se na strani fizičke realizacije kontinuirano pomeraju granice komercijalnih tehnologija. Ustaljene vrednosti za brzine protoka kod komercijalnih proizvoda iz opsega 5 – 6,25 Gb/s kroz jedan diferencijalni par migriraju ka 10 – 12 Gb/s i značajno utiču na metode projektovanja uređaja sledeće generacije. Primera je zaista mnogo: Infiniband, PCI Express, HyperTransport, RapidIO, Gigabit Ethernet, OC-48 i OC-192. Postojeći standardi poput FibreChannel, SCSI, ATA, Firewire i USB se ubrzavaju u cilju podržavanja gigabitnih brzina.

Porastom brzine sistema analiza tranzicije signala i elektromagnetnih efekata dobija na značaju radi razumevanja novonastale klase problema međusprega i interferencije signala, nepoželjnih oscilacija signala, produženih vremena postavke signala u ispravna stanja, šuma usled preslušavanja, pogrešnog prijema i

razdešenosti signala usled elektromagnetnih efekata. Projektanti sistema se suočavaju sa ovim problemima prilikom projektovanja uređaja zasnovanih na sve bržim logičkim kolima. Suštinski, brze promene signala generišu šum koji smanjuje kvalitet samog sistema i kao rezultat upotrebe brzih logičkih kola može se dobiti efekat da je čitav sistem znatno sporiji, nestabilniji i da radi na nižim učestanostima od željenih, mimo prvobitne namere i razloga za primenu brzih tehnologija.

Sa porastom brzina protoka i složenosti jedinica za obradu digitalnih sadržaja javljaju se tehnološki izazovi u realizaciji sistema međuveza, koji će biti sposoban da podrži prenos neizobličenih i neoslabljenih signala. Generalni stav stručnjaka je da gornja granica brzine koju sadašnje tehnologije bakarnih veza podržavaju iznosi između 20 i 25 Gb/s [1]. U slučaju komutacionih sistema sa *blade server* topologijom javljaju se i dodatni projektantski izazovi u realizaciji bekplejn (*eng. backplane*) štampanih ploča sa dužinama vodova i do 100 cm, prevazilaženju ograničenja nametnutih dostupnim tehnikama i tehnologijama proizvodnje štampanih kola, izboru konektora i sistema napajanja.

## II. OPIS PROBLEMA PRILIKOM PROJEKTOVANJA SISTEMA VELIKIH BRZINA

Fizički fenomeni u međuvezama koji izobličavaju i slabe signale se mogu podeliti u 5 grupa. Svaka od njih mora biti razmotrena i kontrolisana prilikom projektovanja fizičke arhitekture uređaja. Najčešće postoji više mogućih rešenja za minimizaciju neželjenih efekata, bez mogućnosti da se rešenja generalno klasifikuju po kvalitetu. U retkim slučajevima se mogu obuhvatiti svi problemi, dok se u većini situacija traže kompromisi i biraju najmanje loša rešenja. Kategorije problema su:

- Karakteristike materijala i veza koje dovode do frekventno zavisnih promena u amplitudi i fazi signala (gubici nastali usled površinskog efekta, dielektrični gubici u materijalu)
- Promenljiva karakteristična impedansa veze kroz koju se prenosi signal (refleksije signala)
- Problemi sa šumom nastali usled preslušavanja veza (elektromagnetna kompatibilnost i interferencija, preslušavanje signala)
- Sistemske greške nastale u proizvodnji (poravnanje provodnih slojeva i vija, proizvodnja

Ovaj rad je delimično finansiran od Ministarstva za nauku Republike Srbije, projekat 11005, od 2008. god.

Danko Miočinović, Fakultet tehničkih nauka u Novom Sadu, Srbija, odsek Računarstvo i automatika, Trg Dositeja Obradovića 6 Novi Sad; (telefon: 381-21-4801-120; e-mail: danko.miocinovic@rt-rk.com).

Ivan Rešetar, Fakultet tehničkih nauka u Novom Sadu, Srbija, odsek Računarstvo i automatika, Trg Dositeja Obradovića 6 Novi Sad; (telefon: 381-21-4801-120; e-mail: ivan.resetar@rt-rk.com).

Dr Mihajlo Katona, Fakultet tehničkih nauka u Novom Sadu, Srbija, odsek Računarstvo i automatika, Trg Dositeja Obradovića 6 Novi Sad; (telefon: 381-21-4801-121; e-mail: mihajlo.katona@rt-rk.com).

Miljan Čubrilo, Fakultet tehničkih nauka u Novom Sadu, Srbija, odsek Računarstvo i automatika, Trg Dositeja Obradovića 6 Novi Sad; (telefon: 381-21-4801-120; e-mail: miljan.cubrilo@rt-rk.com)

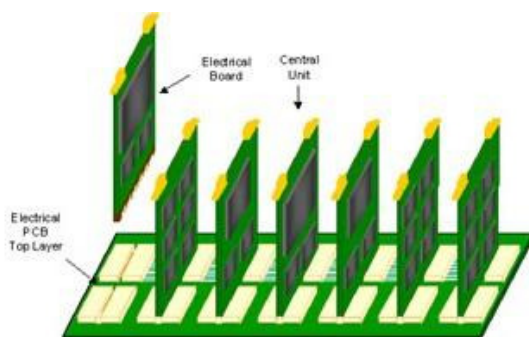
višeslojnih ploča koje sadrže specijalizovane materijale)

- Slučajne proizvodne greške (tolerancije dimenzija dielektrika i električnih svojstava materijala)

Rešenja ovih problema se mogu sagledati sa nekoliko aspekata, od izbora odgovarajućih laminata za štampanu ploču, preko određivanja optimalnog razmeštaja provodnih slojeva za kritično brze signale, do korišćenja sofisticiranih algoritama za obradu signala i metoda izjednačavanja dužina vodova u prijemnim i predajnim kolima. Takođe, napredne proizvodne tehnike dozvoljavaju bolju kontrolu geometrijskih parametara koji kao rezultat daju mogućnost bolje kontrole impedanse vodova na visokim frekvencijama.

### III. IZGLED I OPIS REALIZOVANOG SISTEMA

Realizacija servera opisana u ovom radu se sastoji od pasivnog (bekplejn štampana ploča, koji služi za povezivanje modula) i aktivnog dela (sistem od 17 procesnih modula koji služe za akviziciju i obradu podataka u realnom vremenu). Pasivni deo i moduli koji su povezani preko njega su prikazani na Sl.1., dok je blok šema sistema prikazana na Sl.2.



Sl. 1. Realizovana struktura bekplejna i procesorskih modula

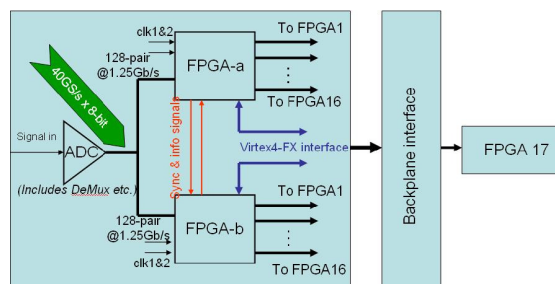
Sistem je predviđen za primenu u tački integracije optičke i bežične infrastrukture, podaci na ulazu u sistem stižu iz modua za AD pretvaranje. Posle toga se signali uvode u sistem modula za obradu signala. U svaki od procesora ulazi 128 LVDS signala i nakon obrade kroz 16 ovakvih modula, dok sedamnaesti modul vrši izlazno multipleksiranje podataka.

Procesorski moduli imaju komplikovanu strukturu međukonekcija za razmenu odbiraka, poravnavanje podataka i eliminaciju grešaka.

Ukupno, sistem veza na bekplejnu se sastoji od 1500 veza u „point to point“ topologiji, sa projektovanim protokom od 1.5 Tb/s kroz štampanu ploču..

Sprege dostupne na FPGA kolima upotrebljenim u procesorkim modulima, broj veza, složena topologija i zahtevana robusnost nameću upotrebu LVDS sprega sa kontrolom impedanse na štampanoj ploči i terminacijama u samim integrisanim kolima, bez spoljašnjih komponenti. Svi vodovi su realizovani kao diferencijalni parovi dužine

80 cm (60 cm kroz bekplejn i po 10 cm na svakom modulu). Gornja granica brzine je 1 Gb/s po jednom diferencijalnom paru i to je ograničeno brzinom modula za obradu podataka, odnosno karakteristikama Virtex5 FPGA kola koji su u njima implementirani.



Sl. 2. Blok šema sistema

### IV. INTEGRITET SIGNALA

Kvalitet signala projektovanog sistema je simuliran u alatu HyperLynx. Jedan deo poprečnog preseka (zbog veličine slike i čitljivosti je prikazan samo deo slike) štampane ploče od 36 slojeva je prikazan na slici Sl.3.

100	102/126	98	102/126	Cu	55 μ
				1x2116	129 μ
GND				Cu	18 μ
				2x1080	162 μ
100	102/126	100	102/126	Cu	18 μ
				1x2116	129 μ
100	102/126	100	102/126	Cu	18 μ
				2x1080	162 μ
GND				Cu	18 μ
				2x1080	162 μ

Sl. 3. Deo preseka realizovane štampane ploče

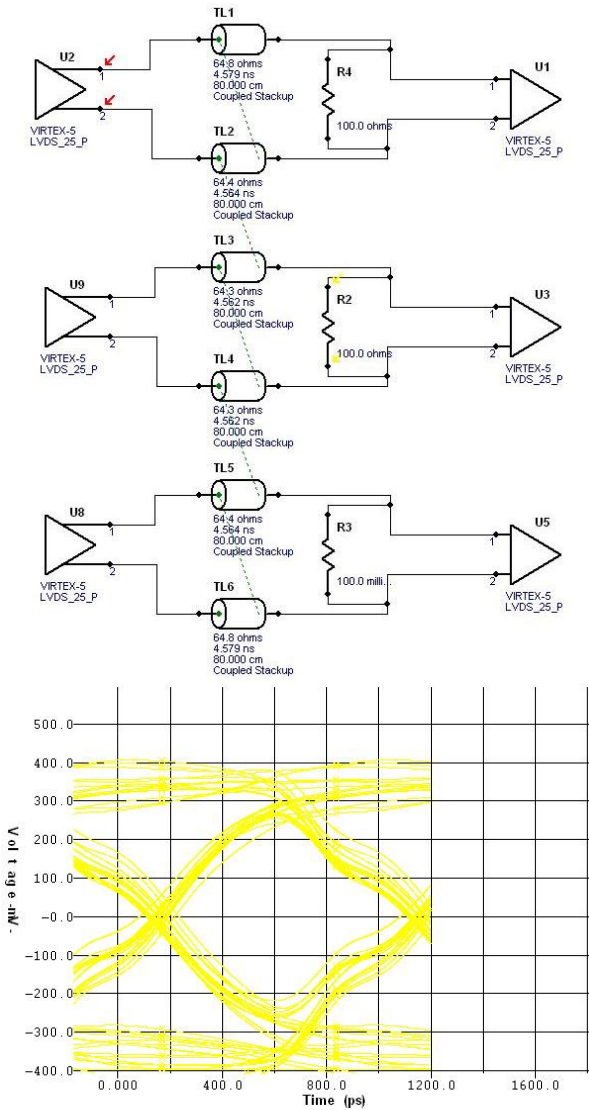
Prilikom projektovanja štampane ploče za velike brzine (1 Gb/s i više), kao imperativ se postavlja izbor materijala ploče. Postizanje brzine od 1 Gb/s po diferencijalnom paru u ovakvom sistemu, uz prihvatljiv kvalitet signala (po zahtevu za logičke nivoe LVDS signala) zahteva precizan odabir strukture štampanih ploča, izbora materijala, mogućnosti proizvodnje simuliranih struktura kao i cenu izrade takvog sistema.

Kao osnovni laminatni materijal se najčešće koristi FR4, s tim da se kritični signali mogu realizovati u specijalizovanim vrstama laminata koji ima manje gubitke i bolje karakteristike (Rogers, Nelco, Arlon). Ograničenje je cena, koja može da bude veća i do 7 puta u odnosu na ploču izrađenu od FR4. Gubici usled površinskog efekta i dužine vodova, slabljenje signala u zavisnosti od frekvencije su samo neki od faktora koji opravdavaju specijalizovane laminata. U konkretnom slučaju su i važnija ograničenja koja proističu iz tehnologije, dostupnih debljina laminata, i (ne)mogućnosti konstrukcije poprečnog preseka ploče sa velikim brojem slojeva. Naime, realizacija diferencijalnih parova i ciljane impedanse od 100 oma u ovom sistemu je zahtevalo 24 signalna provodna sloja (ukupno 36), dok u slučaju

specijalizovanih laminata taj broj ne može preći 12 do 16, na osnovu iskustva proizvođača.

S druge strane, simulacije su pokazale da za zadate gabarite, brzinu i tip sprege FR4 zadovoljava sve kriterijume, te da se može koristiti uz zadovoljavajući kvalitet signala.

Iako se radi o brzim signalima (1 Gb/s) koji idu u paraleli od 4 diferencijalna para čitavom dužinom od 80 cm, simulacije pokazuju da to ne utiče na kvalitet signala u negativnom smislu i na taj način opravdavaju izabranu strukturu. Sl. 4 prikazuje model koji je korišćen za simulaciju, kao i dijagram oka tog modela.

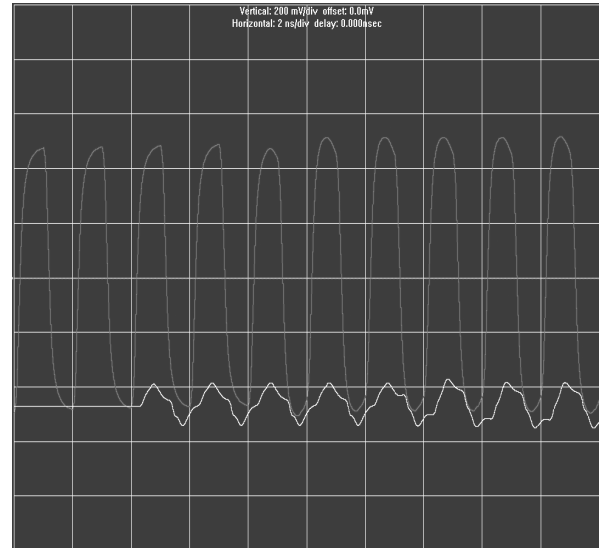


Sl. 3. Simulacioni model (gore) i dijagram oka (dole) za diferencijalne parove na gornjem i donjem sloju ploče

Dijagram oka pokazuje otvor oko 400 mV i širinu otvora od 0,8 ns. Vreme koje je neophodno za zadržavanje logičkog nivoa za LVDS ulaz u procesorsku jedinicu je 0.39 ns, što znači da će svi prelazni procesi stići da se obave i da će kašnjenja signala u okviru srodnih grupa da se obave bez negativnog uticaja na prenos podataka.

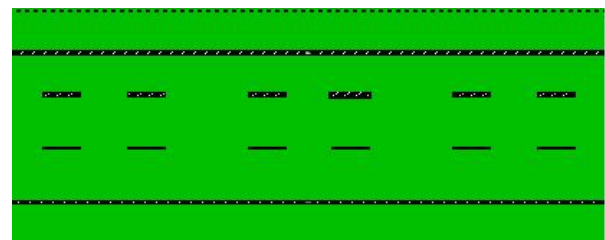
## V. PRESLUŠAVANJE

Usled opisane konstrukcije štampane ploče, još jedan izvor problema predstavlja i preslušavanje signala. Sl. 4 prikazuje da *microstrip* struktura (bakarni vodovi na spoljašnjim slojevima štampe) nema problema sa preslušavanjem signala u meri koja bi izazvala bitniju degradaciju signala dovodeći do pogrešne detekcije nivoa signala na prijemu. Za postavku od 1 Vpp i frekvenciju od 500 Mhz kod signala koji predstavlja izvor smetnje, za rezultat se dobija amplituda signala smetnje od 166 mVpp, i taj nivo ne predstavlja problem na prijemu.

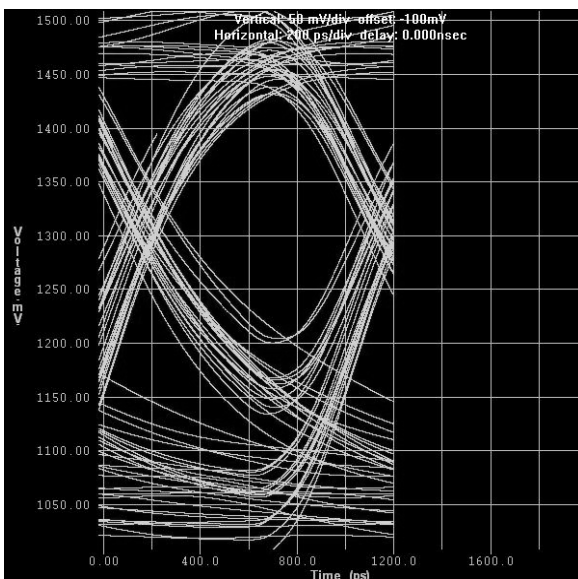


Sl. 4. Degradacija signala u vidu preslušavanja na susednim vodovima (simulacija modela sa Sl.3)

Znatno lošija situacija je u slučaju kada su diferencijalni parovi rutirani u unutrašnjim slojevima (*stripline* konfiguracija). Razlog tome je veoma veliki broj slojeva ploče koji se nalaze na jako malom razmaku (130µm) jedan iznad drugog. Sl. 5 prikazuje postavku problema za simulaciju.



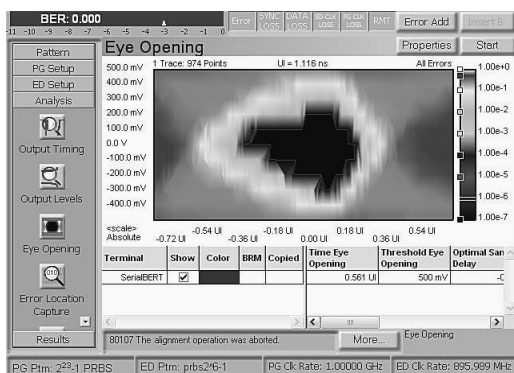
Sl.5. Vodovi u *stripline* konfiguraciji. Diff. Parovi u sredini predstavljaju vodove na koje se nagomilava šum i od vodova pored i od vodova sa strane



Sl. 6. Otvor oka za situaciju sa slike Sl. 5.

Rezultat simulacije pokazuje otvor oka od 215 mV, što je znatno lošiji rezultat ali u praksi još uvek iznad donje granice tolerancije sistema. Time se pokazuje da kompromisi nametnuti konstrukcijom poprečnog preseka ploče za rezultat imaju degradaciju u smislu preslušavanja na pojedinim vodovima, i ti efekti su u praksi minimizovani skraćivanjem dužine spregnutih regiona u kome se prostiru parovi signala u beplejnu [4], susjednim unutrašnjim signalnim slojevima. Na taj način je popravljen otvor oka i doveden na prihvatljiv nivo. Na ovaj način je samo donekle moguće ispraviti nedostatke konstrukcije, jer postoje fizička ograničenja nametnuta dimenzijama same štampane ploče i prostorom koji zauzimaju konektori.

Posle mnogobrojnih simulacija i realizacije opisanog sistema, izvršena su merenja sistema u radu. Pri punom opterećenju sistema izmereni dijagram oka je izgledao kao na Sl. 7.



Sl. 7. Otvor oka sistema pri maksimalnom opterećenju

Otvor oka je 500 mV meren na sredini otvora, što predstavlja trenutak kada se vrši odluka o ispravnosti podataka. Ovoliki otvor oka je vrednost koja zadovoljava

traženi kvalitet sistema.

Iskustvo proisteklo iz praktične realizacije sistema ukazuje i na dodatne probleme u proizvodnji štampane ploče ovakvih dimenzija kao što su su precizno poravnanje slojeva, upotreba *pressfit* konektora (ne leme se nego se postavljaju specijalnim alatima u ploču) te stroga kontrola debljine metalizacija otvora kroz ploču ukupne debljine 6mm. Takođe, montažne rupe tih gabarita moraju izazvati određene degradacije signala, koje u ovom radu nisu analizirane.

## VI. ZAKLJUČAK

Metodologija korišćena pri realizaciji sistema za velike brzine nameće neophodnost simulacija kao alata za realno predviđanje karakteristika realnih sistema. Uz simulacije se došlo do zaključka da korišćenje specijalizovanih materijala nije uvek opravdano i da se znatne uštede mogu postići ukoliko se problem izmodeluje na pravi način i ukoliko se usvoje određeni kompromisi koji ne utiču negativno na kvalitet sistema.

Nakon realizacije štampane ploče, izvučeni su zaključci o mogućim unapređenjima. Ona se odnose na upotrebu novijih dostignuća u oblasti realizacije beplejna. Prvenstveno se odnosi na upotrebu konektora sa obe strane štampane ploče (*orthogonal connectors*) koja za rezultat ima smanjenje cene, unapređenje integriteta signala (manji broj signala bi mora oda ide po unutrašnjim slojevima) i smanjene refleksije koje doprinose preslušavanju signala.

## LITERATURA

- [1] Ravi Kolipara, "Practical Design Considerations for 10 to 25 Gbps Copper Backplane Serial Links," in *DesignCon2006* conference, Santa Clara, California, 2006.
- [2] ANSI/TIA/EIA-644-A, "Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits," Feb. 2001.
- [3] National Semiconductor Corporation, *LVDS Owner's Manual Design Guide*, 2004.
- [4] D. Brooks, "Signal Integrity Issues and Printed Circuit Board Design", Prentice Hall, 2003
- [5] Lee W. Ritchey, "A treatment of differential signaling and its design requirements," *Speeding Edge*, 2008

## ABSTRACT

In this work we describe a hardware realisation of modern telecommunication system froo the aspect of signal integrity and metodology for projecting high-speed systems. Simulation steps that result in a quick and real estimation of critical parts of the system.

## A SOLUTION FOR HARDWARE REALIZATION OF MODERN HIGH - SPEED COMMUTATION SYSTEM

Names of authors

Danko Miocinovic, Ivan Resetar, Miljan Cubrilo, Mihajlo Katona, PhD