

Poređenje metoda sinhronizacije signala u softverskom GPS prijemniku

Vlada S.Sokolović, Veselin D. Popović

Sadržaj —U radu su prikazane dve metode praćenja sinhronizacije GPS (*Global Positioning System*), signala, koji se mogu primeniti pri realizaciji softverskog GPS prijemnika. Opisane su *early-late*, DLL (*Delay Lock Loop*) i TD-L (*Tau-dither Loop*) petlje praćenja koda, C/A-kod (*Coarse/Acquisition code*) i *Costas*-ova fazno zaključana petlja, PLL (*Phase Lock Loop*). Za svaku od analiziranih metoda prikazana je arhitektura i model realizacije u okviru softverskog GPS prijemnika. Na osnovu analize rezultata obrade signala primenom pojedinih petlji, izvedeni su zaključci o pogodnosti primene određene metode pri realizaciji GPS softverskog prijemnika.

Ključne reči — GPS, obrada signala, sinhronizacija, softverski prijemnik.

I. UVOD

Povećanje fleksibilnosti i smanjenje cene GPS (*Global Positioning System*), uređaja za komercijalnu upotrebu, uključujući i mobilne uređaje, moguće je ostvariti primenom tehnologije softverskog radija SDR (*Software Defined Radio*). Primenom SDR ostvaruje se mogućnost zamene pojedinih hardverskih komponenti u GPS prijemniku.

Obrada signala u okviru SDR, realizuje se pomoću programabilnih DSP (*Digital Signal Processing*) ili FPGA (*Field Programmable Gate Array*) kola, što omogućava jednostavnu promenu algoritama digitalne obrade signala i jednostavnu promenu parametara prijemnika.

Platforma razvijena na bazi SDR tehnologije, pogodna je za razvoj i ispitivanje uređaja uz mogućnost povezivanja sa drugim uređajima. Programski paket MATLAB pruža pogodno okruženje za realizaciju algoritama digitalne obrade signala i grafički prikaz za prikazivanje rezultata u toku obrade signala u određenim trenucima i stanjima pri procesu obrade signala.

Metodi praćenja sinhronizacije GPS signala, koji se mogu primeniti pri realizaciji softverskog GPS prijemnika su *early-late*, DLL (*Delay Lock Loop*) i TD-L (*Tau-dither Loop*) petlje praćenja koda, C/A-kod (*Coarse/Acquisition code*) i *Costas*-ova fazno zaključana petlja, PLL (*Phase Lock Loop*). Za svaki od analiziranih metoda prikazana je model i arhitektura realizacije u okviru softverskog GPS

prijemnika.

Poređenje rezultata izvršeno je putem teorijske analize i postupka računarske simulacije, i to posmatranjem toka obrade signala od ulaznog kola do konačnog izračunavanja pozicije prijemnika. Na osnovu dobijenih rezultata izvedeni su zaključci o pogodnosti primene pojedinih metoda i algoritama obrade signala za realizaciju softverskog GPS prijemnika.

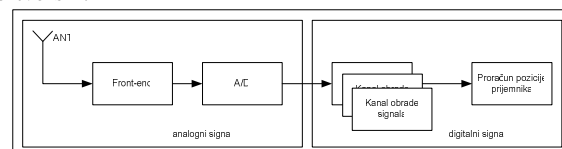
Kritička analiza postupaka obrade signala izvršena je primenom stacionarnog prijemnika na signalu L₁, i pomoću ulaznog kola SE4010. Softverski GPS prijemnik, korišćen u ovom radu, realizovan je primenom programskog paketa MATLAB, u kome je i simuliran tok obrade signala.

II. OSNOVNE KARAKTERISTIKE GPS SIGNALA

Satelit emituje GPS signal na dve učestanosti, L₁(1575.42 MHz) i L₂ (1227.6 MHz), od kojih je učestanost L₁ primarna, a učestanost L₂ sekundarna, korišćenjem CDMA (*Code Division Multiple Access*). Signali L₁ i L₂ modulirani su C/A kodnom sekvencom, [2] sekvenca i biti navigacione poruke. Na taj način, primenom CDMA tehnike (tehnika izdvajanja signala sa kodnom raspodelom), moguće je izdvojiti i detektovati signal sa odgovarajućeg satelita. U toku praćenja jednog signala, sa satelita koji se nalazi u vidnom polju GPS prijemnika, pomoću CDMA tehnike, GPS prijemnik generiše C/A sekvencu satelita koji se prati, uzimajući u obzir Doppler-ov efekat na promenu učestanosti signala [3].

III. MODEL SOFTVERSKOG GPS PRIJEMNIKA

Molimo Blok šema softverskog GPS prijemnika prikazana je na Sl.1. Prijemnik je realizovan kroz dva osnovna bloka. Blok u kome se vrši obrada analognog signala i blok u kome se vrši obrada digitalnog signala. Prvi blok realizuje se fizički i služi za prihvatanje signala sa satelita, filtriranje, spuštanje signala na MF i konverziju u digitalni oblik. U drugom bloku vrši se akvizicija GPS signala, praćenje sinhronizacije, detekcija, dekodiranje i proračun pozicije prijemnika. Drugi blok realizuje se softverski.



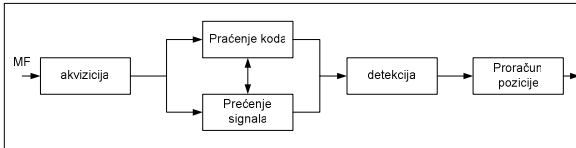
Sl. 1. Blok šema softverskog prijemnika.

mr Vlada Sokolović, dipl.inž., Autor, Vojna akademija u Beogradu, Srbija; (e-mail: sokosv@yahoo.com).

Veselin D. Popović, dipl.inž., Autor, 126.cVOJIN, Vojska Srbije, Raška 2, Beograd, Srbija (e-mail: vpop80@gmail.com).

U radu je korišćeno ulazno kolo SE4110, izrađenog u ASIC tehnologiji, uz pomoć koga su prikupljeni podaci za obradu.

Nakon ulaznog kola, gde se signal digitalizuje, sledi softverska obrada signala. Blok šema softverskog dela prijemnika prikazana je na Sl.2.

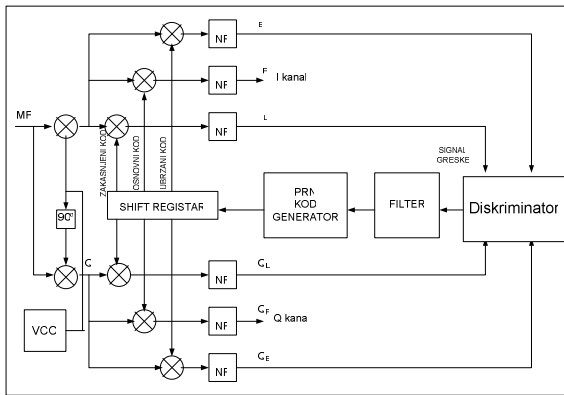


Sl.2. Blok šema obrade signala u softverskom delu prijemnika.

IV. PETLJE PRAĆENJA SINHRONIZACIJE SIGNALA

A. DLL petlja praćenja sinhronizacije signala

Blok šema DLL za praćenje sinhronizacije u osnovnom opsegu učestanosti prikazana je na Sl.3.



Sl.3. Blok šema petlje praćenja koda sa šest korelatora.

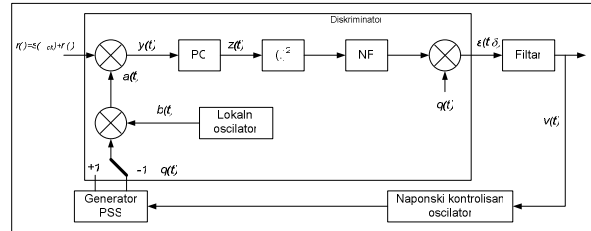
Petlja se sastoji od množača, integratora, generatora signala na učestanosti nosioca, (lokalnog oscilatora, LO) i naponski kontrolisanog oscilatora PRN sekvence[4].

Signal koji je doveden na ulaz DLL petlje najpre je pomnožen lokalno generisanom replikom signala na učestanosti nosioca. Pri generisanju replike, kao inicijalne vrednosti preuzeti su podaci iz prethodnog stepena obrade, akvizicije. Signal replike koji se dovodi u množač generisan je u nekoj od petlji praćenja sinhronizacije učestanosti nosioca pri čemu se vrši razdvajanje signala na dve komponente koje se međusobno nalaze u kvadraturi, I i Q. Nakon množenja sa lokalno generisanom sekvencom C/A koda, signal se deli u dve grane *early* i *late*. PRN generator generiše signale koji su fazno pomereni tako da postoji signal koji prednjači, koji kasni i signal u fazi. U svakoj od grana vrši se korelacija ulaznog signala i signala iz PRN generatora. Na osnovu signala iz pojedinih grana formira se signal greške koji služi za korekciju faze u generatoru PRN. Ukoliko se postigne usklađenje koda replike i signala ulaza, na izlazu korelatora postiže se maksimum korelacije. Ukoliko to nije slučaj vrši se korekcija faze replike za $\frac{1}{2}$ čipa tako da jedan signal kasni za $\frac{1}{2}$ čipa a jedan prednjači za $\frac{1}{2}$ čipa. Kada se postigne

maksimum korelacije na izlazu korelatora signala u fazi, vrednost korelacije ostale dve komponente jednaka je polovini korelacije signala u fazi.

B. TDL petlja praćenja sinhronizacije

U primeru DLL petlje, grane diskriminatora moraju biti idealno balansirane. Ako je karakteristika diskriminatora nesimetrična, vrednost signala na izlazu iz petlje različita je od nule i kada je greška estimacije jednaka nuli. Taj problem moguće je rešiti primenom TDL petlje, kod koje postoji samo jedan kanal diskriminatora. U odnosu na DLL petlju uticaj šuma je u ovom slučaju izraženiji[1]. Principijska blok šema nekoherentne TDL petlje prikazana je na Sl.4, [1].



Sl.4. Blok šema Tau-dither petlje praćenja.

Dve grane diskriminatora funkcionalno se realizuju preko prekidača, koji se naizmenično prebacuje iz položaja označenog sa +1, koji odgovara *early* grani, i položaja označenog sa -1, koji odgovara *late* grani petlje.

Na osnovu analize srednjih kvadratnih gubitaka petlje praćenja u zavisnosti od B_n/R_s dolazi se do zaključka da je TDL petlja za oko 1.06dB lošija od DLL petlje [5].

Kako proizvod, propusnog opsega i periode trajanja *Dither* signala, $B_n T_d$ raste (obično smanjenje *dither* učestanosti u odnosu na PO filtra), srednja kvadratna greška takođe raste do 1.5dB, u odnosu na DLL [5]. Radi analize uzeto je da je proizvod $B_n T_d = 4$ [5].

V. POREĐENJE METODA PRAĆENJA SINHRONIZACIJE SIGNALA

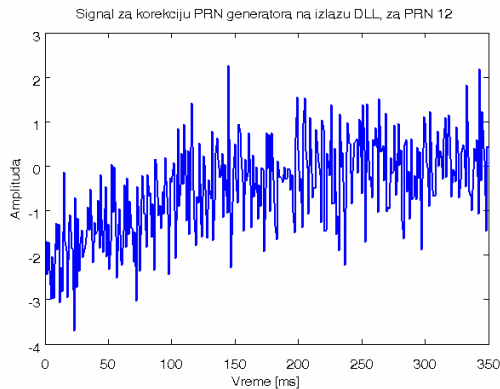
U cilju kritičke analize petlji praćenja sinhronizacije C/A koda, izvršeno je poređenje rezultata DLL i TDL petlje praćenja. Inicijalizacija petlji praćenja sinhronizacije koda i signala nosioca započinje na osnovu podataka iz bloka akvizicije. Sinhronizacija učestanosti signala nosioca izvršena je pomoću *Costas*-ove petlje praćenja. Snimanje podataka pomoću ulaznog kola izvršeno je 01.11.2008. u 10.58 časova. Na osnovu snimljenih podataka izvršena je obrada signala na računaru, pri čemu je prijemnik realizovan prema modelu sa Sl.2.

Radi upoređivanja najpre su prikazani rezultati DLL a zatim TDL petlje praćenja sinhronizacije signala.

Na Sl.5. prikazan je signal greške u DLL petlji praćenja za period merenja od 350ms. Na Sl. 5. vide se iskakanja signala koja su posledica smetnji, odnosno šuma u signalu.

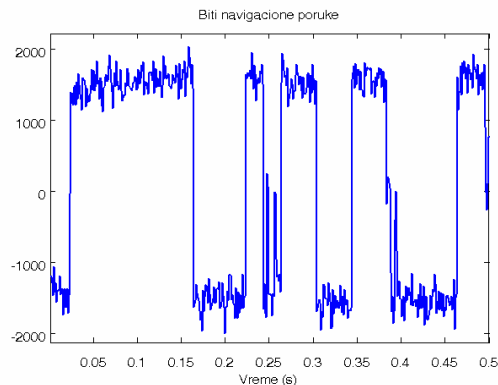
Ovakve smetnje narušavaju izgled detektovanih bita i mogu da izazovu prekid praćenja i onemoguće detekciju. U optimalnim uslovima signal greške teži nuli, mada kod DLL petlje nikada nije nula za razliku od TDL petlje kada signal greške može biti nula. Uočava se da signal greške

raste do ulaska petlje u stabilno stanje praćenja signala. Početni elementi za praćenje signala, kao što su učestanost, Doppler-ova učestanost i faza signala, preuzeti su iz bloka akvizicije.



Sl. 5. Signal greške na izlazu DLL petlje praćenja za period 350ms.

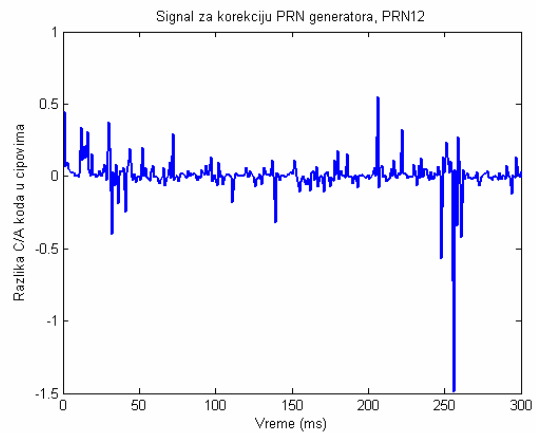
Na Sl.6. prikazani su biti navigacione poruke, detektovani DLL petljom praćenja sinhronizacije. Posledica šuma izražena je kao podrhtavanje amplitude detektovanih bita.



Sl.6. Biti navigacione poruke detektovani DLL petljom.

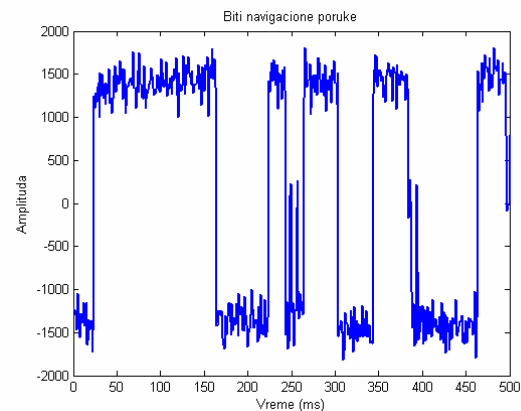
Realizacija TDL petlje praćenja sa vremenskom raspodelom, relativno je jednostavna u odnosu na *early-late* DLL petlju, jer poseduje manji broj korelatora, što ne predstavlja prednost u realizaciji. Međutim, dobija se na vremenu, tj. proces obrade je brži.

Na Sl.7. prikazan je signal greške praćenja koji služi za korekciju PRN generatora C/A koda. Na ovom primeru pokazano je da se signal greške u toku praćenja vraća na nulu. Ta karakteristika TDL petlje omogućava manje podrhtavanje amplitude signala za razliku od DLL petlje praćenja.



Sl.7. Signal na izlazu TDL petlje praćenja sinhronizacije za 300ms merenja.

Na Sl.8. prikazani su biti navigacione poruke, detektovani pomoću TDL petlje praćenja.

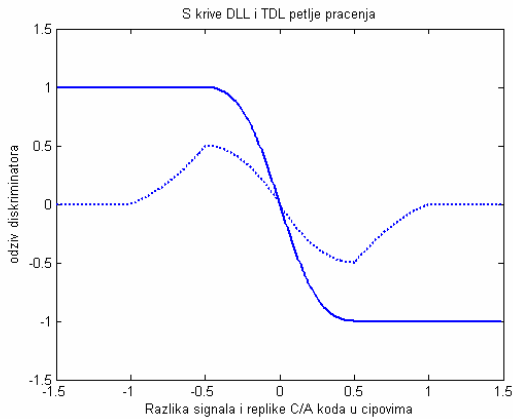


Sl.8. Biti navigacione poruke detektovani pomoću TDL petlje praćenja.

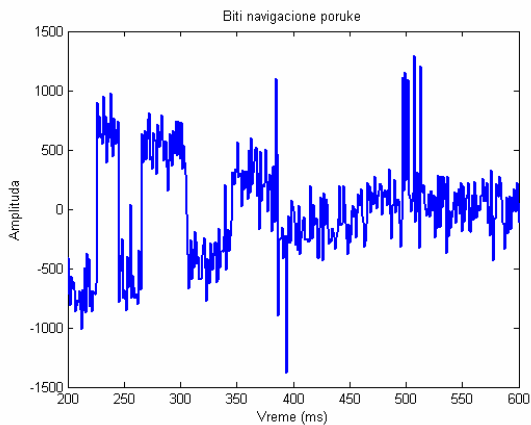
Razdešenost čipova C/A koda u trenutku 250ms odrazila se na detektovane bite na Sl.8. Ovakav skok može veoma lako da prekine praćenje TDL petlje praćenja.

Odzivi diskriminatora DLL i TDL petlje praćenja sinhronizacije signala prikazani su na Sl.9. Punom linijom prikazan je odziv DLL diskriminatora a isprekidanom odziv TDL diskriminatora. Upoređujući s krive DLL i TDL petlje praćenja sa Sl.9. uočava se da TDL petlja praćenja ima manji signal greške u odnosu na DLL što znači da DLL petlja brže vraća veće poremećaje signala na tačnu vrednost. Opseg rada DLL petlje u pogledu razdešenosti čipova iznosi od -1.5 do 1.5. Za TDL petlju oblast rada je od -1 do 1. To znači da TDL petlja neće moći da isprati razdešenost čipova veću od 1, što dovodi do prekida praćenja signala.

Na Sl.10. prikazani su biti detektovani TDL petljom praćenja i prekid praćenja nastao usled dinamičkog poremećaja. To govori da je TDL petlja neotpornija na šum u odnosu na DLL petlju. U prilog tome ide i teorija [5], [6], gde je pokazano da TDL petlja za 1,5 – 2dB ima lošije karakteristike u pogledu uticaja šuma u odnosu na DLL petlju praćenja sinhronizacije.



Sl.9. Odzivi iskriminatora DLL i TDL petlje praćenja, gde je punom linijom prikazana karakteristika DLL petlje a isprekidanom TDL petlje.



Sl.10. Prekid praćenja TDL petlje praćenja.

VI. ZAKLJUČAK

U radu je izvršeno kritičko poređenje sinhronizacije signala primenom DLL i TDL petlje praćenja. Softverski GPS prijemnik realizuje se primenom FPGA kola i/ili DSP procesora, dok se u cilju ispitivanja koristi realizacija u nekom od programskih paketa, najčešće familije C ili MATLAB, kao što je urađeno u ovom radu. Dve osnovne komponente prijemnika, realizovanog primenom SDR tehnologija, su ulazno kolo i softver za obradu signala.

U radu su najpre prikazane karakteristike GPS signala, kao polazne osnove za realizaciju prijemnika i prikazan je model softverskog prijemnika, koji je realizovan u programskom paketu MATLAB i koji je iskorišćen za prethodnu analizu.

Drugi deo GPS prijemnika predstavlja softver za digitalnu obradu signala. Digitalna obrada signala u slučaju GPS prijemnika obuhvata procese akvizicije, praćenja sinhronizacije C/A koda, demodulacije i proračuna pozicije prijemnika. Različiti algoritmi za

realizaciju praćenja GPS signala pokazuju fleksibilnost softverskog prijemnika u pogledu obrade signala u cilju određivanja najprihvatljivijeg rešenja uz uslov što preciznijeg određivanja pozicije prijemnika.

Nakon procesa akvizicije sledi praćenje sinhronizacije faze C/A koda i učestanosti signala nosioca. Rezultati dobijeni primenom računarske simulacije za TDL petlje praćenja pokazali su neotpornost petlje praćenja na dinamičke poremećaje i šum.

DLL petlja praćenja faze C/A koda, za grešku od ± 1.5 čipa na ulazu, daje korektan signal greške i omogućava praćenje signala u ovim granicama, za razliku od TDL petlje gde su granice ± 1 čip.

Vreme obrade signala pri realizaciji ukupnog procesa sinhronizacije pokazalo se kao približno isto tako da i pored manjeg broja korelatora TDL petlja praćenja nije u prednosti u odnosu na DLL. Na osnovu ovakvog zaključka, zaključeno je da je DLL petlja praćenja sinhronizacije, sa šest korelatora pogodnija metoda u odnosu na TDL.

LITERATURA

- [1] M. L. Dukić, *Principi Telekomunikacija*, Akademski misao, Beograd 2008.
- [2] *ICD-GPS-200*, NAVSTAR GPS, 2004.
- [3] E. Kaplan, *Understanding GPS Principles and Applications*, MitreCorporation, Bedford MA, 1996
- [4] J. Bao, Y. Tsui, *Fundamentals of Global Positioning System Receivers*, John Wiley & Sons, New Jersey, 2005.
- [5] M. K. Simon, ..., *Spread Spectrum Communication Handbook* McGraw-Hill, New York 1994.
- [6] H. Meyr, M. Moeneclaey, *Synchronization, Channel Estimation, and Signal Processing*, John Wiley & Sons, New York 1998.

ABSTRACT

The paper presents two methods of monitoring the synchronization GPS (Global Positioning System) signals, which can be applied in the implementation of a software GPS receiver. Described as early-late, DLL (Delay Lock Loop) and TDL (Tautidher loop) code tracking loop, the C / A code (coarse / Acquisition code) and the Costas phase-locked loop, PLL (Phase Lock Loop). For each of the analyzed methods shown in the architecture and model implementation in a software GPS receiver. Based on the analysis results of signal processing using some loops, are derived conclusions about the benefits of applying certain methods in the implementation of a software GPS receiver.

COMPARISON OF METHODS OF SYNCHRONIZATION SIGNAL IN SOFTWARE GPS RECEIVER

Vlada S. Sokolovic, Veselin D. Popovic