

Implementacija generatora paketskog saobraćaja na NetFPGA platformi

Budimir Ugren, Milutin Radonjić, *Member, IEEE*, Igor Radusinović, *Member, IEEE*

Sadržaj — U ovom radu je prikazan postupak realizacije generatora paketskog saobraćaja, koji je implementiran na NetFPGA razvojnoj platformi. Potreba za ovakvim uređajem postoji zbog nemogućnosti da se realizuje generator saobraćaja sa potrebnom preciznošću i pouzdanošću podešavanja parametara koristeći računar opšte namjene. NetFPGA je otvorena platforma pa je realizaciju novih projekata moguće zasnivati na već razvijenim i provjerenim modulima. Implementirani generator saobraćaja daje mogućnost slanja paketa precizno definisanom linijskom brzinom, do gigabita u sekundi, na sva četiri Ethernet porta simultano. Takođe, može se konfigurisati i da prima i sačuva primljene pakete preko bilo kojeg porta. Ovakav uređaj može imati veliki značaj u procesu testiranja različitih mrežnih uređaja.

Ključne riječi — Generator saobraćaja, NetFPGA, Perl, Regression test, Self-test.

I. UVOD

LAN komutatori i ruteri sa hardverskim raspoređivanjem mrežnog saobraćaja omogućili su brz rast Interneta. Uređaji sa Gigabitnim ethernet portovima se danas koriste u gotovo svim segmentima računarskih mreža. Da bi se postigla dovoljna brzina prenosa podataka neophodno je obezbijediti i implementirati procesiranje paketa u hardverskom domenu. Projektanti najčešće koriste Field Programmable Gate Arrays (FPGA) i/ili Application Specific Integrated Circuits (ASIC).

Na Stanford univerzitetu je razvijena hardverska platforma bazirana upravo na FPGA kolima, čiji je naziv NetFPGA. Na ovoj platformi, između ostalog, realizovani su četvoroportni mrežni adapter, router, LAN komutator, generator paketskog saobraćaja, itd [1].

U ovom radu predstavljena je NetFPGA platforma na primjeru implementacije generatora paketskog saobraćaja. Rad čine dvije tematske cjeline. Prva se odnosi na pojašnjenje NetFPGA platforme (poglavlje II), dok je druga cjelina posvećena generatoru paketskog saobraćaja sa pojedinostima o instalaciji i testovima (poglavlje III), odnosno korišćenju i eksperimentima (poglavlje IV). Na kraju su data zaključna razmatranja.

II. NETFPGA PLATFORMA

NetFPGA je fleksibilna hardverska platforma,

B. Ugren, Crnogorski Telekom A.D., Bulevar Sv. Petra Cetinjskog 3, 20000 Podgorica, Crna Gora.

M. Radonjić, Elektrotehnički fakultet u Podgorici, Bulevar Džordža Vašingtona bb, 20000 Podgorica, Crna Gora; (e-mail: mico@ac.me).

I. Radusinović, Elektrotehnički fakultet u Podgorici, Bulevar Džordža Vašingtona bb, 20000 Podgorica, Crna Gora; (e-mail: igorr@ac.me).

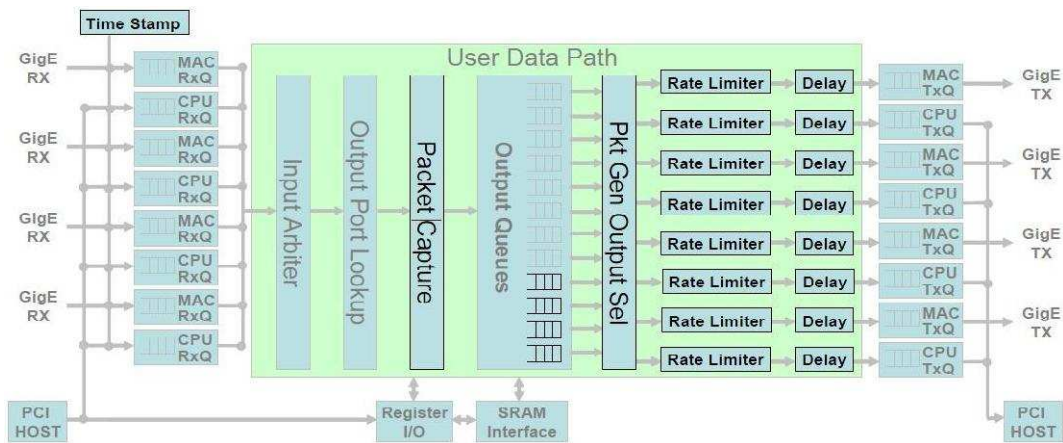
optimizovana za implementaciju mrežnih resursa računarskih mreža, koja uključuje sve što je potrebno za kompletnu realizaciju mrežnog uređaja: logičke resurse, memorijske jedinice, kao i četvoroportni gigabitni ethernet interfejs. Njen izgled, sa naglašenim modulima za realizaciju generatora paketskog saobraćaja prikazan je na Sl. 1. Na izlazu se nalazi 8 redova za slanje paketa, a na ulazu 8 redova za prijem. Redovi mogu biti tipa MAC ili CPU. Ulazi i izlazi su međusobno povezani preko *User Data Path-a*. *Input Arbiter* i *Output Queues* su glavni moduli i prisutni su u skoro svim dizajnim NetFPGA. *Output port lookup* se brine o tome na koji port treba proslijediti pakete. *Packet Generator Output Select* određuje koji od 12 redova iz *Output Queues-a* treba biti povezan sa kojim od 8 redova za slanje. Izvorni kod za sve module napisan je u Verilogu i dostupan je u okviru tzv. open-source projekta.

NetFPGA platforma (verzija 2.1) sadrži dva Xilinx-ova FPGA kola i to Virtex2 Pro i Spartan II [2]. Virtex se može programirati od strane korisnika saglasno željenoj funkcionalnosti uređaja. Spartan se sam konfigurise prilikom inicijalizacije sistema, sa flash eprom-a, i implementira PCI (Peripheral Component Interconnect) interfejs ka procesoru računara. Tako softver na host računaru može konfigurisati Virtex kolo preko PCI interfejsa. Platforma uključuje dva statička RAM (SRAM) modula koji rade sinhrono sa FPGA [3]. Na platformi su implementirana četiri fizička porta (prenosnika na fizičkom nivou) koji omogućavaju slanje i prijem paketa. Dva Serial-ATA (SATA) konektora omogućavaju povezivanje više NetFPGA ploča u jedan sistem.

NetFPGA hardverski obrađuje sve tokove podataka, ostavljajući softveru jedino funkciju kontrolne jedinice [4].

III. GENERATOR PAKETSKOG SAOBRAĆAJA

Softverska rješenja za realizaciju slanja paketa (npr. tpreplay) imaju nedostatak koji se ogleda u nemogućnosti izolovanja samog procesa slanja paketa od ostalih procesa koji se odvijaju na računaru. To znači da se računarski resursi ne mogu u potpunosti posvetiti generisanju saobraćaja, što za posledicu ima nemogućnost preciznog definisanja svih parametara generisanog saobraćaja. Rješenje se može naći u realizaciji generatora paketskog saobraćaja na izolovanoj hardverskoj platformi, kakvo je NetFPGA razvojno okruženje. Njena softverska komponenta samo zadaje parametre komunikacije i popunjava memorijski bafer, koji se nalazi na kartici, podacima za slanje. Sami tok predaje paketa kontroliše hardver. Generator paketskog saobraćaja radi tako što



Sl. 1. Šema referentnih tokova za generator paketskog saobraćaja na NetFPGA platformi

sadržaj iz određenog *pcap* [5] fajla prenese u lokalnu memoriju na NetFPGA kartici. Sadržaj te memorije se potom šalje na gigabitne Ethernet portove, koristeći unaprijed zadatu brzinu prenosa (*rate limiter*), kašnjenje između paketa (*delay*), kao i broj iteracija. Generator takođe može da radi u modu za primanje paketa (capturing).

A. Instalacija

Instalacija NetFPGA osnovnog paketa priprema sistem za rad [6]. Na tako pripremljenom host računaru trebalo bi kreirati NF2 poddirektorijum u osnovnom korisničkom direktorijumu i zadati sistemske promjenljive. Sledeći korak je kompajliranje kernela i instalacija drajvera za NetFPGA, a potom restartovanje host računara.

B. Verifikacija softvera i hardvera

Nakon instalacije drajvera neophodno je proveriti da li je isti uspešno aktiviran, što se radi komandom

```
lsmod | grep nf2
```

Ako je instalacija uspjela, komanda će dati odziv u kome se navodi nf2 modul sa svojim parametrima. Sledeći korak je provjera da li su NetFPGA interfejsi aktivirani i to se obavlja pomoću komande:

```
ifconfig -a | grep nf2
```

Ako je sve proteklo uspešno, izlaz će izgledati ovako:

```
nf2c0 Link encap:Ethernet HWaddr 00:4E:46:32:43:00
nf2c1 Link encap:Ethernet HWaddr 00:4E:46:32:43:01
nf2c2 Link encap:Ethernet HWaddr 00:4E:46:32:43:02
nf2c3 Link encap:Ethernet HWaddr 00:4E:46:32:43:03
```

Imena interfejsa formirana su od riječi nf2c (što je skraćenica od NetFpgaversion2Card) praćene indeksima 0, 1, 2 i 3. U slučaju da interfejsi nijesu uspešno aktivirani, to treba uraditi ručno:

```
for i in `seq 0 3`; do ifconfig nf2c$i up; done
```

Time se završava proces verifikacije softvera i hardvera.

C. Reprogramiranje CPCI (CompactPCI)

CPCI je industrijski standard za modularne računarske sisteme koji su u osnovi PCI uređaji. Prilikom svakog startovanja host računara trebalo bi se uvjeriti da je na NetFPGA kartici u radnom režimu najnovija verzija firmware-a. Da bi to obezbijedili potrebno je najnoviji CPCI image fajl, koji se nalazi na lokaciji

```
/usr/local/NF2/bitfiles
```

upisati na NetFPGA karticu, za šta je predviđena skripta:

/usr/local/sbin/cpci_reprogram.pl

Ako na host računaru ima instalirano više NetFPGA kartica onda na kraju treba dodati opciju "--all" da bi se odjednom učitao najnoviji firmware na sve kartice. Ove akcije, zaključno sa fazom reprogramiranja CPCI-a, su zajedničke za sve projekte. Tek od trenutka učitavanja bit-fajla mijenja se priroda funkcionisanja koja se ne može primijeniti bez adekvatnog softvera. Na Sl. 2. dat je dijagram toka za implementaciju generatora paketskog saobraćaja. Da bi se generator pokrenuo treba učitati odgovarajući bit-fajl komandom:

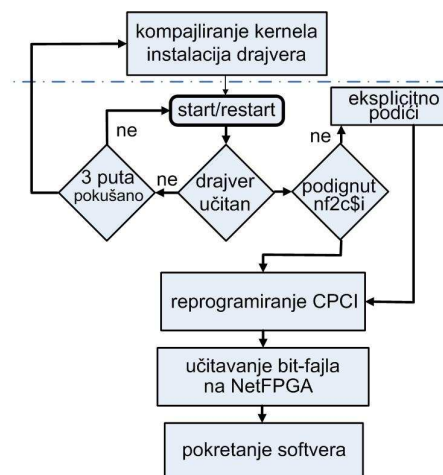
/usr/local/bin/nf2_download

```
/usr/local/NF2/bitfiles/packet_generator.bit
```

i startovati softver pokretanjem Perl skripte:

./packet_generator.pl

Obzirom da se radi o fazi implementacije, praksa je (a i preporuka) da se u ovom trenutku urade testovi ispravnosti kartice i funkcionalnosti generatora.



Sl. 2. Blok dijagram implementacije generatora paketa

D. Provjera ispravnosti NetFPGA kartice

Važan korak prilikom puštanja NetFPGA kartice u rad je provjera njene ispravnosti. To se obavlja pomoću tzv. self-testa koji se sastoji od FPGA testne logike i pripadajućeg softvera. Da bi se self-test realizovao potrebno je učitati bit-fajl sa testnom logikom u FPGA kolo, na sledeći način:

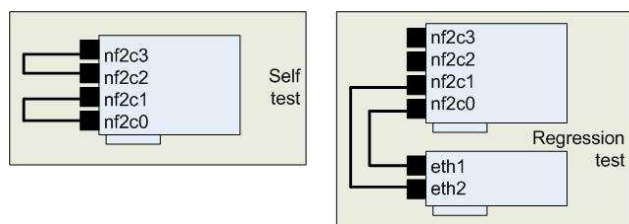
```
nf2_download ~/NF2/bitfiles/selftest.bit
```

i pokrenuti test:

~/NF2/projects/selftest/sw/selftest -n

Ovo upućuje na zaključak da je i za realizaciju self-testa i generatora paketskog saobraćaja potrebno proći kroz sve faze koje predstavlja blok dijagram sa Sl. 2. To se odnosi i na Regression testove, koji će biti opisani dalje u tekstu. Self-test tretira kompletan hardver NetFPGA kartice i izvodi se u ciklusima sve dok ne bude prekinut od strane korisnika [1].

Na Sl. 3. prikazana je pravilna šema povezivanja portova i za self-test i za Regression testove. Sa nf2c0-3 su označeni Ethernet interfejsi na NetFPGA kartici, a sa eth1-2 Ethernet interfejsi na dvo-portnoj mrežnoj kartici koja se nalazi na PCI magistrali host računara.



Sl. 3. Šema povezivanja portova za testove

E. Regression testovi

Prilikom projektovanja digitalnih sistema uz korišćenje FPGA razvojnih okruženja obavezno je izvršiti provjeru ispravnosti funkcionisanja svakog projektovanog modula, za sve predviđene uslove rada. Ovo se obavlja uz pomoć serije tzv. *Regression* testova.

Kod generatora paketskog saobraćaja, prvi test provjerava funkcionalnost slanja paketa. Tokom ovog testa prvo se vrši inicijalizacija NetFPGA hardvera. Potom se učitavaju (sa diska host računara) i šalju 2 *pcap* fajla preko nf2c0 i nf2c1 interfejsa. Na kraju se vrši provjera brojača, da bi se utvrdilo da li su svi paketi poslani.

Druga funkcija koja se testira je proces primanja paketa (tzv. *capturing*). I kod ovog testa, prvi korak je inicijalizacija NetFPGA hardvera. Zatim se startuje paket generator u modu za prijem paketa na interfejsima nf2c0 i nf2c1. Potom se sa eth1 i eth2 šalju dva *pcap* file-a korištenjem *tcpreplay-a*. Na kraju se upoređuju primljeni paketi sa originalnim.

Treći test odnosi se na provjeru mogućnosti slanja istog fajla više puta zaredom preko nekog od Ethernet portova NetFPGA kartice. Nakon inicijalizacije kartice vrši se učitanje 2 *pcap* fajla i slanje preko nf2c0 interfejsa sa 10 iteracija i preko nf2c1 interfejsa sa 100 iteracija. Provjerom brojača utvrđuje se da li je broj poslanih paketa ispravan.

Poslednji u grupi *Regression* testova je provjera funkcionalnosti koja se odnosi na ograničenje brzine predaje paketa. Ono što se odvija, nakon inicijalizacije NetFPGA hardvera, je zadavanje brzine predaje na 1Mb/s za dva fajla koja se šalju preko nf2c0 i nf2c1 interfejsa. Ovi se fajlovi prihvataju preko eth1-2 interfejsa i snimaju u *pcap* file na osnovu čega se računa brzina predaje.

Startovanje seta *Regression* testova vrši se pokretanjem odgovarajuće skripte (od strane korisnika sa administratorskim ovlaštenjima):

nf21_regress_test.pl --project packet_generator

Ukoliko generator paketskog saobraćaja ispravno funkcioniše neće biti poruka o greškama tokom testiranja. Ukupna dužina trajanja testova je oko deset minuta.

IV. KORIŠĆENJE GENERATORA PAKETSKOG SAOBRAĆAJA

Softverska komponenta generatora paketskog saobraćaja je Perl skripta koja se zove *paket_generator.pl* i ova datoteka se nalazi u direktorijumu *sw* unutar projekta *paket_generator* [7]. Generator paketskog saobraćaja može generisati saobraćaj na jednom ili na više NetFPGA portova, istovremeno. Paketi saobraćaja se iz *pcap* datoteke prebacuju u memoriju na NetFPGA kartici. Ukoliko je datoteka veća od memorije koja je na raspolaganju, onda se učitava dio po dio. Ako je uključeno primanje paketa, oni će biti pohranjeni u SRAM, zatim prebačeni na host računar i upisani u datoteku korištenjem standardnog *pcap* formata. To daje mogućnost jednostavnog upoređivanja primljenih paketa i paketa koje šalje paket generator.

Kao što je već pomenuto, može se zadati preko kojeg NetFPGA porta se generiše odlazni saobraćaj, na kom portu da prihvata dolazni saobraćaj, kao i kašnjenje između paketa, brzina, te broj ponavljanja. U Tabeli 1 su prikazane podržane opcije kojima se postavljaju parametri rada. Ove opcije se mogu zadati nezavisno za svaki port.

TABELA 1: OPCIJE KOJE PODRŽAVA GENERATOR

<i>Funkcija</i>	<i>Oznaka</i>
Na kom portu generiše saobraćaj	-q<queue no> <pcap file>
Kašnjenje između paketa	-d<queue no> <delay packet>
Broj ponavljanja	-i<queue no> <iterations>
Brzina predaje	-r<queue no> <rate>
Na kom portu prima pakete	-c<port no> <capture file>

Primjera radi, ako na trećem portu treba generisati saobraćaj, i poslati fajl *test.pcap* 5 puta uzastopno bez pauza među paketima, naredba bi glasila:

```
./paket_generator.pl -q2 test.pcap -d2 0 -i2 5
```

Jedan od eksperimenata koji je izvršen ogledao se u tome da se korištenjem generatora paketskog saobraćaja, sa tri NetFPGA porta (nf2c0-2) istovremeno generiše saobraćaj, prenošenjem sadržaja pripremljenog *pcap* fajla. Port nf2c0 je povezan na eth1, nf2c1 je povezan sa drugim računarom na kome se radi monitoring mrežne kartice, a nf2c2 je direktno povezan na nf2c3 na kome je aktivirana mogućnost primanja paketa koju posjeduje paket generator. Izlazni ekran izgleda ovako:

```
[root@localhost sw]#
./paket_generator.pl
-q0 999B.pcap -d0 0
-q1 999B.pcap -d1 0
-q2 999B.pcap -d2 0
-c3 999Bc.pcap
Starting packet capture on: nf2c3
Loaded 1202 packet(s) into MAC Queue 0
Loaded 1202 packet(s) into MAC Queue 1
```

```

Loaded 1202 packet(s) into MAC Queue 2
Limiting CPU Queue 0 to 200.000 Mbps (tokens = 1, clks = 5)
Limiting CPU Queue 1 to 200.000 Mbps (tokens = 1, clks = 5)
Limiting CPU Queue 2 to 200.000 Mbps (tokens = 1, clks = 5)
Limiting CPU Queue 3 to 200.000 Mbps (tokens = 1, clks = 5)
Sending packets...
Last packet scheduled for transmission at 0.004 seconds
0 seconds elapsed...
All packets should have been sent.
Press Ctrl-C to stop capture...
1 seconds elapsed...
Writing 999Bc.pcap (1202 packets)
Transmit statistics:
=====
MAC Queue 0:
  Packets: 1202
  Completed iterations: 1
MAC Queue 1:
  Packets: 1202
  Completed iterations: 1
MAC Queue 2:
  Packets: 1202
  Completed iterations: 1
Receive statistics:
=====
MAC Queue 0:
  Packets: 0
MAC Queue 1:
  Packets: 0
MAC Queue 2:
  Packets: 0
MAC Queue 3:
  Packets: 1202
  Bytes: 5140983
  Time: 0.004305160 s
  Rate: 955.315 Mbps

```

Iz prikazanog sadržaja ekrana vidi se da nakon pozivanja skripte za generator paketskog saobraćaja i dijela koji će regulisati da generator radi kao što je ranije opisano, slijedi poruka o početku prijema paketa na portu nf2c3. Potom stoji obavještenje koliko je paketa učitano u MAC redove 0, 1 i 2 i kolika su ograničenja CPU redova u pogledu brzine prenosa. Zatim slijedi poruka o početku slanja paketa i o proračunatom trenutku za slanje posljednjeg paketa. Slijedi informacija koliko je vremena proteklo i da su svi paketi trebali biti poslani.

Korisnik treba da prekine proces prijema paketa i nakon toga se kreira fajl sa zadatim imenom koji je smješten u isti direktorijum u kome se nalazi i skripta za startovanje generatora paketskog saobraćaja. Nakon toga slijedi statistika, i to redom po redovima za slanje, a nakon toga i za primanje. Sa prva tri porta (0-2) su se slali paketi a primali preko četvrtog, što je bilo definisano kroz opcije generatora paketskog saobraćaja.

U ovom konkretnom slučaju može se još primijetiti da nije zadata brzina linijske transmisije (*line rate*) a da je na portu na kom su primani paketi brzina bila reda veličine 1Mb/s. To je zato što je specificirano da ne bude kašnjenja (-dx 0) među paketima.

Na drugom računaru, koji je bio povezan sa host računarom preko nf2c1 NetFPGA mrežnog interfejsa, startovan je program *Wireshark*, koji je pružio mogućnost analize pristiglih paketa i poređenje sadržaja i broja tih paketa sa izvornim paketima.

Sva podešavanja za rad generatora paketskog saobraćaja obavljaju se na konzolnom nivou, a tako se prikazuju i rezultati koje NetFPGA šalje korisniku. Kako bi upravljanje bilo jednostavnije i komfornije, a prikaz informacija pregledniji, bilo bi dobro implementirati grafički korisnički interfejs (GUI). To je jedan od pravaca

daljeg razvoja u ovoj oblasti.

V. ZAKLJUČAK

NetFPGA predstavlja hardversku osnovu za realizaciju različitih mrežnih komunikacionih uređaja i sistema, u svrhu njihove detaljne evaluacije. Na NetFPGA platformi su, u okviru različitih projekata, do sada realizovani različiti mrežni uređaji. U ovom radu je prikazana praktična realizacija generatora paketskog saobraćaja i njegovo testiranje u više implementacionih scenarija. Date su precizne smjernice i neophodni postupci koji su potrebni kako bi uređaj ispravno funkcionisao. Autori su se susreli sa više problema u implementaciji koje su uspješno riješili, tako da je u ovom radu dat detaljan opis procedure puštanja u rad koja treba da omogući izbjegavanje problema pri realizaciji ovog, za istraživanja u ovoj oblasti, važnog uređaja. Kao pravac budućeg rada na ovom polju, osim primjene ovakvog uređaja u istraživačke svrhe, nameće se potreba implementiranja grafičkog korisničkog interfejsa koji bi upravljanje učinio jednostavnijim, a prikaz rezultata vizuelno efektivnijim.

LITERATURA

- [1] The NetFPGA2 web site: <http://klamath.stanford.edu/nf2/>.
- [2] G. Gibb, J. W. Lockwood, J. Naous, P. Hartke, and N. McKeown, "NetFPGA: An open platform for teaching how to build gigabit-rate network switches and routers," *In IEEE Transactions on Education*, August 2008.
- [3] G. Watson, N. McKeown, and M. Casado. "Netfpga - a tool for network research and education," *In 2nd Workshop on Architecture Research using FPGA Platforms (WARFP)*, Austin, TX, 2006.
- [4] J. W. Lockwood, N. McKeown, G. Watson, G. Gibb, P. Hartke, J. Naous, R. Raghuraman, and J. Luo, "Netfpga - an open platform for gigabitrate network switching and routing," *In International Conference on Microelectronic Systems Education*, San Diego, CA., 2007.
- [5] <http://www.fileinfo.com/extension/pcap>
- [6] G. A. Covington, G. Gibb, J. Naous, J. Lockwood, and N. McKeown, "Methodology to contribute netfpga modules," *In International Conference on Microelectronic Systems Education* (submitted to), 2009.
- [7] G. A. Covington, G. Gibb, J. Naous, J. Lockwood, and N. McKeown, "A Packet Generator on the NetFPGA Platform," *NetFPGA website: <http://netfpga.org/>*.

ABSTRACT

In this paper, implementation procedure for packet traffic generator based on NetFPGA platform is presented. Traffic generator with needed accuracy is almost impossible to build over ordinary computer. This is the reason for development traffic generator on independent hardware platform. NetFPGA is open platform and many modules from previous projects can be reused. Generator provides the capability of packets transmission at line rate up to Gigabit per second on all the ports simultaneously. It can be configured to receive and save received packets. Device like this one could be of significant use for testing declared characteristics of many network interfaces.

PACKET TRAFFIC GENERATOR BASED ON THE NETFPGA PLATFORM

Budimir Ugren, Milutin Radonjić, Igor Radusinović